

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08051436 A

(43) Date of publication of application: 20.02.96

(51) Int. Cl.

H04L 12/28

H04L 12/56

H04Q 11/04

(21) Application number: 07101916

(22) Date of filing: 26.04.95

(30) Priority: 15.07.87 JP 62174603
 09.10.87 JP 62253661
 11.11.87 JP 62283249

(62) Division of application: 63102512

(71) Applicant: HITACHI LTD

(72) Inventor: SAKURAI YOSHITO
OTSUKI KANEICHI
GOHARA SHINOBU
MORI MAKOTO
HORIKI AKIRA
KATO TAKAO
KUWABARA HIROSHI

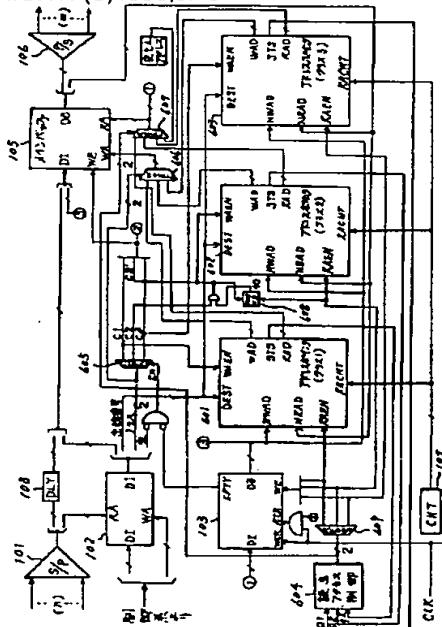
(54) SWITCHING SYSTEM

(57) Abstract:

PURPOSE: To provide a switching system consisting of a switch for switching a fixed-length cell consisting of a header part and an information part, having absolutely minimum memory capacity and preventing generation of cell loss due to overwriting of a memory.

CONSTITUTION: The switch for distributing cells read out from a 1st storage means 105 into plural highways no output them is constituted of the 1st storage means 105 for storing fixed-length cells inputted from plural highways, a 2nd storage means 103 for storing the idle addresses of the means 105 and a control means for controlling the writing and reading of the means 105 in accordance with the contents of the means 103. The control means executes priority processing for an input cell in accordance with a handling class included in the cell. Since the loss of a cell is not generated, a large capacity switch appropriate for the switching of a signal with a high burst property can be economically constituted by the small quantity of hardware.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2561046号

(45)発行日 平成8年(1996)12月4日

(24)登録日 平成8年(1996)9月19日

(51)Int.Cl.[®]
H 04 L 12/28

識別記号
9466-5K

F I
H 04 L 11/20

技術表示箇所
H

請求項の数5(全19頁)

(21)出願番号 特願平7-101916
(62)分割の表示 特願昭63-102512の分割
(22)出願日 昭和63年(1988)4月27日

(65)公開番号 特開平8-51436
(43)公開日 平成8年(1996)2月20日
(31)優先権主張番号 特願昭62-174603
(32)優先日 昭62(1987)7月15日
(33)優先権主張国 日本(JP)
(31)優先権主張番号 特願昭62-253661
(32)優先日 昭62(1987)10月9日
(33)優先権主張国 日本(JP)
(31)優先権主張番号 特願昭62-283249
(32)優先日 昭62(1987)11月11日
(33)優先権主張国 日本(JP)

(73)特許権者 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
櫻井 義人
神奈川県横浜市戸塚区戸塚町216番地株
式会社日立製作所戸塚工場内
(72)発明者 大槻 兼市
神奈川県横浜市戸塚区戸塚町216番地株
式会社日立製作所戸塚工場内
(72)発明者 郷原 忍
神奈川県横浜市戸塚区戸塚町216番地株
式会社日立製作所戸塚工場内
(74)代理人 弁理士 小川 勝男

審査官 吉田 隆之

(54)【発明の名称】スイッチングシステム

(57)【特許請求の範囲】

【請求項1】ヘッダ部と情報部から成る固定長のセルで前記セルの取扱条件を区別するクラス情報も付与されたセルを前記セルのヘッダ部に含まれる情報に基づき複数の入力ハイウェイと複数の出力ハイウェイとの間で交換するスイッチングシステムであって、
前記複数の入力ハイウェイから受信したセルを蓄積して前記セルを前記複数の出力ハイウェイの宛先出力ハイウェイに交換する第1の記憶手段と、前記第1の記憶手段の空きアドレスに対応した情報を蓄積する第2の記憶手段と、前記第2の記憶手段に蓄積された情報に対応して前記第1の記憶手段の書き込み及び読み出し制御を行う制御回路とで構成され、
前記制御回路は、前記第1の記憶手段と第2の記憶手段とに共通設置され、前記制御回路からの第1の記憶手段

の読み出しアドレスに基づいて前記第1の記憶手段の空きアドレスに対応した情報を前記第2の記憶手段に蓄積し、前記第2の記憶手段からの情報を前記第1の記憶手段の書き込みアドレスとして出力するよう接続すると共に、前記クラス情報に基づき前記セルの前記第1の記憶手段への書き込みと読み出しを制御する優先処理回路を備えたことを特徴とするスイッチングシステム。

【請求項2】ヘッダ部と情報部から成る固定長のセルで前記セルの取扱条件を区別するクラス情報も付与されたセルを前記セルのヘッダ部に含まれる情報に基づき複数の入力ハイウェイと複数の出力ハイウェイとの間で交換するスイッチングシステムであって、
前記複数の入力ハイウェイから受信したセルを蓄積して前記セルを前記複数の出力ハイウェイの宛先出力ハイウェイに交換する第1の記憶手段と、前記第1の記憶手段

るが、バースト的に発生するデータを送るバースト交換モードの2つのモードを扱う事が出来るように、スイッチングのためのメモリと、待ち合わせのためのバッファメモリが設けられている。回線交換モード用セルは、実時間性を保証するためにバッファメモリを介さず、優先して取り扱い、一方バースト交換モード用セルは、バッファメモリで待ち合わせ、タイムスロットに空きがある時に処理される。

【0004】他の例として、特開昭59-135994号公報に示される「TDMスイッチングシステム」が挙げられる。本例では、回線交換モードとバースト交換モードの2種類の性質を持った通信を扱うという概念は明示されていないが、固定長セルを、バッファメモリを用いて時間的に入れ換える機能を有している。その際に、セルの待ち合わせとスイッチングは同一のバッファメモリを用いる。待ち合わせを実現するために、セルのバッファメモリへの書き込みアドレスを、ヘッダによって知ることが出来る。そのセルの宛先別に格納しておく待ち行列手段が設けられている。

【0005】また、回線交換におけるノンブロックの多段通話路スイッチとしては、クロス形が良く知られている。（秋丸著「現代交換工学概論」オーム社 昭和54年P.P. 136~137およびシーコロス：アスタディオブノンブロッキングネットワークス、ベルシステムテクニカルジャーナル 第32巻第3号（1953年）（C.Clos:A Study of Non Blocking Networks,Bell System Technical Journal vol.32, No.3 (1953)）このクロス形多段スイッチは、1次スイッチの入回線数をm、出回線数をr、2次スイッチの入回線数、出回線数をともにk、3次スイッチの入回線数をr、出回線数をmとし、1次スイッチをk個、2次スイッチをr個、3次スイッチをk個用い、1次スイッチのr本の出回線を各2次スイッチに1本ずつ、2次スイッチのk本の出回線を各3次スイッチに1本ずつ接続する多段スイッチ構成において、 $r \geq 2m - 1$ （クロスの式）を満たすよう構成した3段のスイッチである。尚、ここで言うノンブロックとは、スイッチの入回線、出回線双方に空き容量が存在する場合に、その間を接続するパスが必ず存在する、ということである。

【0006】

【発明が解決しようとする課題】固定長セルを用いてスイッチングを行う場合、各セルの宛先が必ずしも平均的に分布していないため、同一宛先へ向けたセルが一時的に集中し、輻輳状態となったり、メモリのオーバーフローによりセルが消失してしまう事が起こり得る。上記の、最初に挙げた、本出願人による論文では、輻輳状態回避のため待ち合わせのためのバッファメモリを、各宛先出ハイウェイ別に設けている。このバッファメモリは、セル全体を格納するもので、かつ、オーバーフローしないだけ多数のセルを格納できるものである必要があり、し

かも、宛先毎に個別に設けなければならない。従って、この構成では、大量のメモリを必要とするという問題がある。

【0007】一方、2番目の例に挙げたスイッチングシステム（特開昭59-135994号公報）では、バッファメモリは全入ハイウェイに対し1つであり、バッファメモリのアドレスだけを記憶する待ち行列手段がセルの宛先別に複数設けられている。この構成では、比較的小ないメモリ量で各セルの宛先の偏りは吸収され得る。しかしながら、バッファメモリの書き込みアドレスは周期的に用いられるため、論理的にはバッファメモリは各宛先対応に固定的に分割されているのと同等であり、ある待ち行列の待ちが一定量を越えると、読み出されていないセルがまだ残っているにもかかわらず、同一の書き込みアドレスが使われ、バッファメモリの上書きが起こる。このとき上書きされたセルは消失してしまうという問題がある。

【0008】また、上記クロス形スイッチは、単一の速度を持つ複数の呼を扱う場合にはノンブロックであるが、それぞれの呼が任意の速度を持つ場合には、単位スイッチ間に結ぶリンクの使用効率が落ちるため、ノンブロックとはならない。それぞれの呼の速度が異なると、例えば、低速の呼がリンク容量の一部を占有しているために、そのリンクにはまだ容量に空きがあるにもかかわらず、高速の呼はそこへは入れないと、いわゆる虫喰い現象が起こる。このため、リンクの使用効率が落ち、上記のクロスの式を満たしても、ブロックが起きてしまう。

【0009】本発明の目的は、上記従来例の問題点を解決し、メモリの大量使用をなくし、かつバッファメモリの上書きによってブロックが消失しないスイッチングシステムを提供することにある。

【0010】また、それぞれの呼が任意の速度を持つ場合でも、ブロックが起きないノンブロックの多段通話路スイッチを簡単かつ経済的な構成で提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、複数の入ハイウェイ（以下では単に入線と称する）を時分割多重し、到着したセルをバッファメモリ（以下メインバッファと称する）に書き込み、これを適当な順序で読み出し、多重分離し、複数の出ハイウェイ（以下では単に出線と称する）に振り分けることによって交換動作を行うスイッチングシステムにおいて、メインバッファの空きアドレスを格納しておくFIFO（First In First Out）バッファ（アイドルアドレス FIFOと称する）と、使用中アドレスを出線対応に管理する手段を設け、メインバッファへのセルの書き込み時には、上記アイドルアドレス FIFOバッファのデータ出力から空アドレスを取り出し、メインバッファからのセルの読み出し時

得られる。該書込みアドレスは、アイドルアドレス FIFO103から予め入力されたものである。該書込みアドレスを用いてセルはメインバッファ105へ書込まれる。尚、セルが空きセルである場合、もしくはアイドルアドレス FIFOが空きである場合（即ちメインバッファに空きが無い場合）は、ANDゲート109の出力がLとなるためメインバッファ105には書込みは行れず、また、アイドルアドレス FIFOの読出しクロック（RCK）もLとなり、空アドレスの出力も行われない。

【0019】次に読出し動作を説明する。セルの読出しは、制御カウンタ107が発生する数に応じてアドレスポインタ104から読出しあдресを得て、これをメインバッファの読出しあdressとしてセルを読出す。制御カウンタの値は、出線番号に対応する。即ち各出線毎に順番に1つずつセルが読出されるわけである。読出しあdressとして使用したアドレスは、アイドルアドレス FIFO103のデータ入力（D1）へ送られ、再度書込みアドレスとして用いられる。尚、ある出線に宛てたセルが、メインバッファ内に1つも存在しないときは、キュー状態表示出力（STS）が出力され、セレクタ110によって、メインバッファ105の読出しあdressとして、空セルアドレスレジスタ111に格納されているアドレスが選択される。該アドレスに相当するメインバッファの内容は常に空きセルとしてある。

【0020】アイドルアドレス FIFOのデータ出力は、セルと一緒にメインバッファ内に格納する。これはそのセルの宛先出線と同じ宛先の、次のセルの格納アドレスを示すためである。詳しい動作は図3を用いて次に述べる。尚、メインバッファ内のセル構造を図2(c)に示す。

【0021】次に図3を用いて、アドレスポインタ104の構成と動作を説明する。出線番号入力（DEST）は、出線番号デコーダ301の入力と書き込みアドレスセレクタ308の選択入力に接続される。出線番号デコーダ301のm本のデコード出力は、それぞれm個の書込みレジスタ（WR1~m）302~303のクロック入力に接続される。外部のアイドルアドレス FIFOから入力される次書込みアドレス（NWAD）は各書込みレジスタの入力に接続され、各書込みレジスタの出力は書込みアドレスセレクタ308を介して、書込みアドレス出力（WAD）となる。一方、制御カウンタ入力（RACT）はデコーダ311と読出しあdressセレクタ309の選択入力に接続され、デコーダ311のm本のデコード出力は、それぞれm個の読出しレジスタ（RR1~m）304~305のクロック入力として、ゲートを介して接続される。外部からの次読出アドレス入力（NRAD）は、各読出しレジスタの入力に接続され、各読出しレジスタ出力は読出しあdressセレクタ309を介して読出しあdress（RAD）となる。不一致検出

器306~307はそれぞれ対応する書込みレジスタと読出しレジスタの出力を入力とし、そのそれぞれの出力は不一致情報セレクタ310を介して、キュー状態表示出力（STS）となる。また、不一致検出器の出力は上記ゲートの一方の入力にも接続される。

【0022】出線番号入力（DEST）によりm個の書込みレジスタの出力のうち、その出線番号に相当するものを書込みアドレスセレクタ308で選択し、書込みアドレス出力（WAD）とする。このとき、同時に出線番号デコーダ301のデコード出力により、上記に相当する書込みレジスタの保持する値を、アイドルアドレス FIFOから入力される（NWAD）値に更新する。従って、更新直前のNWADの値は、この時書込みを行おうとしているセルの宛先出線番号と同じ宛先のセルが次に入ってきた時の書込みアドレスに相当する。そのため、このNWADの値をこの時書込みを行おうとしているセルと一緒にメインバッファに格納しておけば、このセルを読み出した時に、同じ出線へ宛てたセルを次に読み出す時は、どのアドレスから読み出せば良いのかを知ることができる。セルの読み出し時は、制御カウンタの値を選択入力とする読出しあdressセレクタにより読出しレジスタ出力を選択し、そのレジスタの保持値を読出しあdress出力（RAD）として出力し、これを読出しあdressとして用いる。同時にデコーダ311の出力によって、この時選択された読出しレジスタの保持値を更新する。このときの読出しレジスタの入力は、メインバッファから読出される、上記書込み時にセルーと一緒に格納した次読出しあdressであるので、同じ出線へ宛てた次のセルのアドレスを読出しひに保持させる事ができる。

【0023】図5はアイドルアドレス FIFO103の構成を示す。アイドルアドレス FIFO103は、メモリ501、書込みカウンタ（WCNT）502、読出しおカウンタ（RCNT）503、一致検出器504から成る。書込みカウンタ502は、書込みアドレス（WA）を出力するカウンタで、メモリ501のアドレスの数だけカウントするリングカウンタである。読出しおカウンタ503は、読出しあdress（RA）を出力するカウンタで、メモリ501のアドレスの数だけカウントするリングカウンタである。両カウンタの値が同一になった時はメモリが空になった状態であるから、これを一致検出器504で検出して空き出力（EPTY）を出す。以上のように、全体としてはFIFO機能を持つものである。

【0024】次に図6を用いて他の実施例を説明する。図6に示すスイッチングシステムは、基本的には図1に示すものと同じ原理によるものであるが、図1のものに更に優先制御機構を付加してある。図6において図1に示す構成要素と同一のものは同一の符号を付与しており、説明は省略する。図1との最も大きな相違は、アドレスポインタが複数ある点である。ここでは優先クラス

チの k 本の出回線を各 3 次スイッチに 1 本ずつ接続する多段スイッチ構成において、 $r \geq 2m - 1$ (クロスの式) を満たすよう構成した 3 段のスイッチである。尚、ここで言うノンブロックとは、スイッチの入回線、出回線双方に空き容量が存在する場合に、その間を接続するバスが必ず存在する、ということである。

【0031】上記クロス形スイッチは、单一の速度を持つ複数の呼を扱う場合にはノンブロックである。ところが、それぞれの呼が任意の速度を持つ場合には、単位スイッチ間を結ぶリンクの使用効率が落ちるため、ノンブロックとはならない。それぞれの呼の速度が異なると、例えば、低速の呼がリンク容量の一部を占有しているために、そのリンクにはまだ容量に空きがあるにもかかわらず、高速の呼はそこへは入れないという、いわゆる虫喰い現象が起こる。このため、リンクの使用効率が落ち、上記のクロスの式を満たしても、ブロックが起きてしまう。

【0032】この問題は、多段スイッチのリンクを、空間的に増やす、つまりリンク本数を増やすだけでなく、時間的に増やす、つまりリンク速度を上げることにより解決される。具体的には、出入回線数とリンク数は、それぞれ前記と同じ m 、 r とするが、出入回線の速度を 1 としたとき、リンクの速度は x 倍とし、 $r \geq 2 \times |(m-1)/x-1| + 1$ を満たすようなスイッチ構成とする。

【0033】上式で、右辺の $(m-1)$ は、 m 本の入回線のうちの $(m-1)$ 本が使用中である状態を示す。一方、 $(x-1)$ は、リンク速度比 x から、入回線速度比である 1 を引いたものであり、あるリンクがその速度のうちあと入回線 1 回線分に微小量 Δ だけ足りない容量を残して使われている状態 $(x-1+\Delta)$ の $\Delta \rightarrow 0$ の極限値を示す。従って、 $|(m-1)/x-1|$ は、リンクに空き容量はあるのに、入回線 1 回線分は収容できないという状態、即ち、各リンクが最も効率の悪い状態で使用されている状態でのリンクの本数を表わしている。尚、記号「 a 」は a 以上の最小の整数を表わす。ここから 1 本のリンクを除いた $|(m-1)/x-1| - 1$ 本のリンクがこのような状態であり、出回線側も入回線側と全く同様であるから、リンク本数が上記の 2 倍、即ち、 $2 \times |(m-1)/x-1| - 1$ 本である時、新たに入回線 1 回線分はリンクに収容できず、更にもう 1 本の収容可能リンクがあれば、即ち、 $2 \times |(m-1)/x-1| - 1 + 1$ であれば、入回線側 (1 次リンク)、出回線側 (2 次リンク) 双方で、入回線 1 回線分以上の空き容量を共通に持つリンクが必ず存在する。

【0034】したがって、リンク本数を r としたとき、 $r \geq 2 \times |(m-1)/x-1| - 1 + 1$ を満たすならば、このスイッチはブロックすることがない。

【0035】以下、本発明の一実施例を図 10 により説

明する。図 10 に示すように、出入回線数 n に対し、 $n = mk$ である。初段スイッチとして、入端子数 m 、出端子数 $2m - 3$ の単位スイッチを k 個並べた。また、中間段スイッチとして、出入端子数 k の単位スイッチを $2m - 3$ 個、終段スイッチとして、入端子数 $2m - 3$ 、出端子数 m の単位スイッチを k 個、それぞれ並べた。それぞれの単位スイッチ間の接続は、図 10 に示すように、初段スイッチを構成するある単位スイッチは、中間段スイッチを構成する全ての単位スイッチと、中間段スイッチを構成するある単位スイッチは、終段スイッチを構成する全ての単位スイッチと接続されるようになっている。先に述べたノンブロック条件の式、 $r \geq 2 \times |(m-1)/(x-1)| - 1 + 1$ において、 $x = 2$ 、 $r = 2m - 3$ に相当するもので、等号が成立する。尚、各段の単位スイッチとしては、既に図 1、図 6、図 8 で説明したものや、図 12、図 16 で説明するものが適用できる。

【0036】次に、図 11 に多段通話路スイッチのもう 1 つの実施例を示す。図 10 の実施例が、先に述べたノンブロック条件の式、 $r \geq 2 \times |(m-1)/(x-1)| - 1 + 1$ において、 $x = 2$ 、 $r = 2m - 3$ の例であったのに対し、本例では $x = 3$ 、 $r = m - 2$ の例である。この場合も等号が成立する。構成の考え方は、図 10 と同様である。各単位スイッチの構成も、具体的には第 1 の実施例と同様であるので詳細な説明は省略する。

【0037】以上の実施例によれば、任意の通信速度を持つ呼を、ノンブロックで交換できる多段スイッチが必要最小限の構成にて実現できる。

【0038】次に図 12 にて、単位スイッチに関する他の実施例を説明する。図 12 では、構成要素はアドレス FIFO 群 1201 を除いては図 1 と同じであり、接続関係が若干異なる。図 12 では、アイドルアドレス FIFO 103 のデータ出力 (DO) は、そのままメインバッファ 105 の書き込みアドレス (WA) に接続される。また、メインバッファ 105 にはセル本体のみを書き込み、次アドレス情報は書き込まない。図 13 を用いて本構成のポイントであるアドレス FIFO 群 1201 について説明する。

【0039】出線番号入力 (DEST) は出線番号デコーダ (WDEC) 1301 に接続され、その m 本のデコード出力はそれぞれ m 個の FIFO バッファ 1303～1304 の書き込み信号 (WCK) 入力に接続される。FIFO バッファ 1303～1304 のデータ入力は、図 12 のアイドルアドレス FIFO のデータ出力である。FIFO バッファ 1303～1304 のデータ出力は読出しアドレスセレクタ 1305 を介して読出しアドレス出力 (RAD) となる。読出しアドレスセレクタ 1305 は制御カウンタ入力 (RACNT) を選択入力とする。制御カウンタ入力 (RACNT) は更に読出順序デ

【図1】本発明の一実施例の説明図。

【図12】本発明の一実施例の機能ブロック図。

【図13】図12のアドレスFIFO群の詳細機能ブロック図。

【図14】本発明の一実施例の説明図。

【図15】図14の空間スイッチの機能ブロック図。

【図16】本発明の一実施例の機能ブロック図。

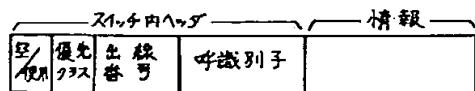
【図17】図16のアドレスFIFO群の詳細機能ブロック図。

【符号の説明】

101…直並列変換多重器、 102…ヘッダ
変換テーブル、 103…アイドルアドレスFIFO、
104…アドレスポインタ、 105…メインバッファ、
106…並直列変換多重分離器、 107…
制御カウンタ、 302…書き込みレジス
タ、 304…読み出しレジスタ、 306…不
一致検出器、 308…書き込みアドレスセレクタ、 3
09…読み出しアドレスセレクタ、 604…読み出しあクセ
ス制御、 1201…アドレスFIFO群、 13
03…FIFOバッファ。

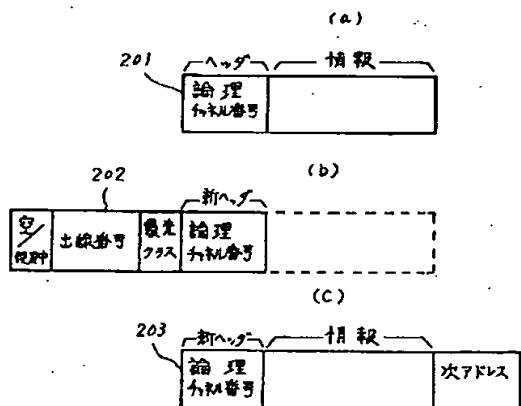
【図9】

図9



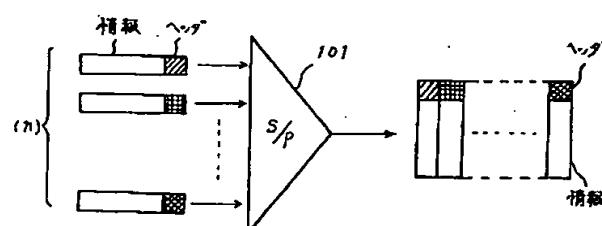
【図2】

図2



【図4】

図4



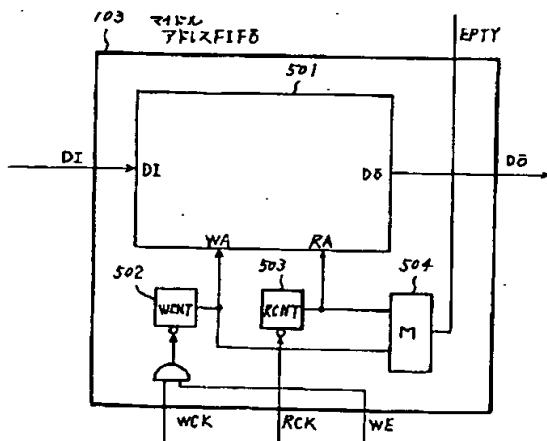
【図7】

図7

入力	出力 (選択クラス)			
p1	p2	p3		
1	X	X	00	(C1)
0	1	X	01	(C2)
0	0	1	10	(C3)
0	0	0	11	(アイドル)

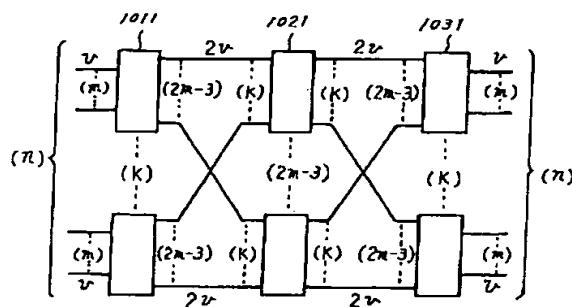
【図5】

図5



【図10】

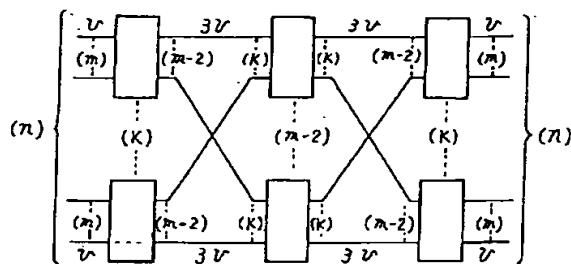
図10



1011 … 単位スイッチ（1次スイッチ）
 1021 … 単位スイッチ（2次スイッチ）
 1031 … 単位スイッチ（3次スイッチ）

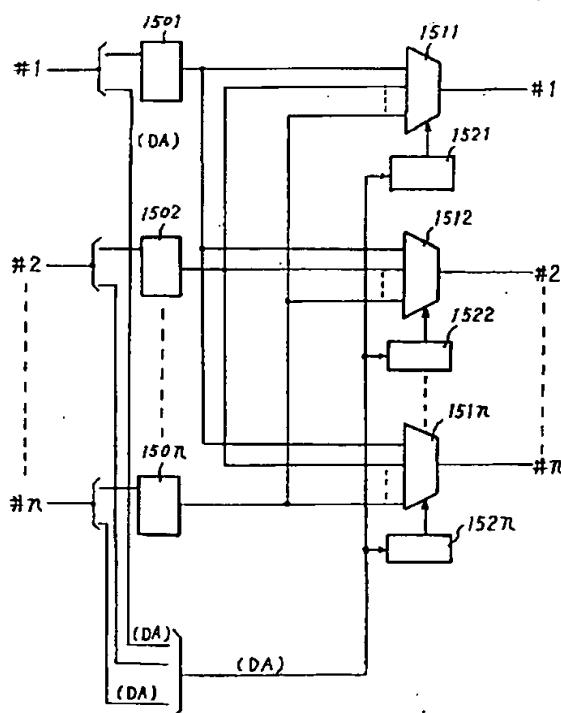
【図11】

図11



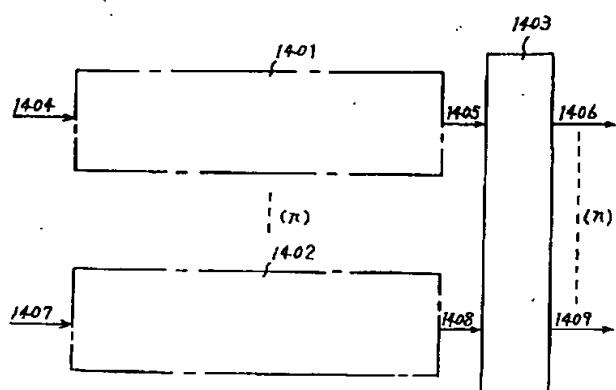
【図15】

図15



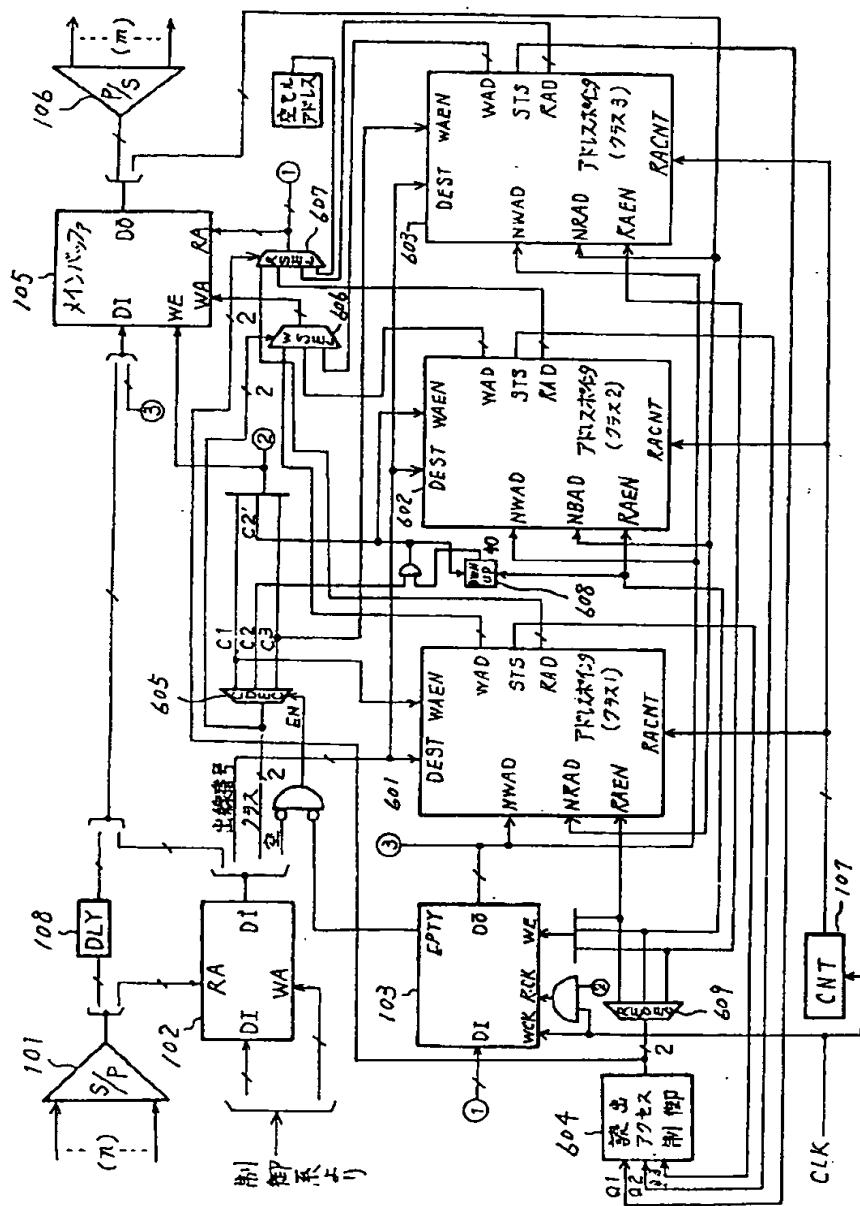
【図14】

図14



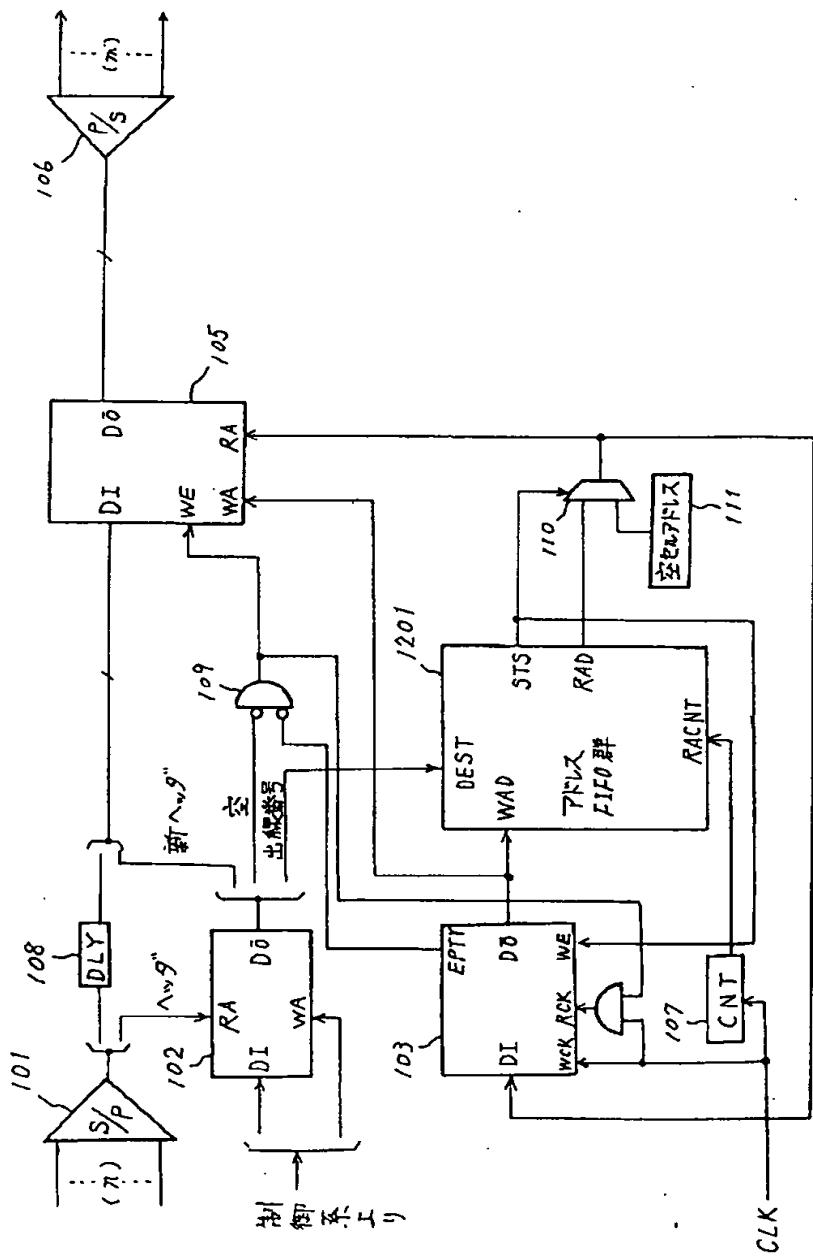
【図6】

図 6



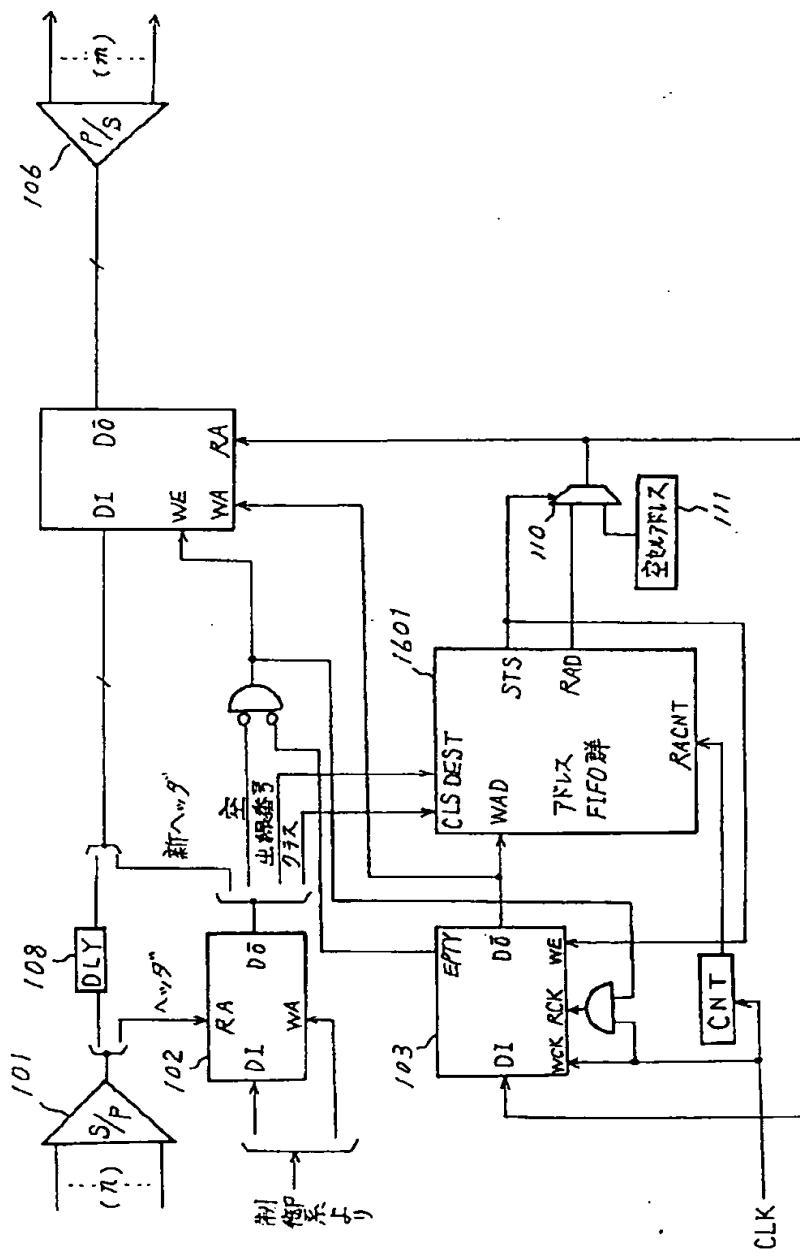
【図12】

図12



【図 16】

図 16



(72)発明者 加藤 孝雄
神奈川県横浜市戸塚区戸塚町216番地株
式会社日立製作所戸塚工場内

(72)発明者 桑原 弘
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(56)参考文献 特開 昭59-135994 (J P, A)
特開 昭58-97944 (J P, A)
特開 昭61-202546 (J P, A)
特開 昭61-232744 (J P, A)
特開 平2-1655 (J P, A)
昭和61年度電子通信学会総合全国大会
1765